

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100211761 B1
(43)Date of publication of application: 06.05.1999

(21)Application number: 1019960020054
(22)Date of filing: 05.06.1996

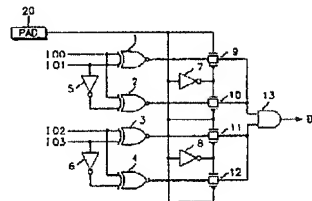
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: KIM, JEONG TAE

(51)Int. Cl. G11C 29/00

(54) PARALLEL BIT TEST CIRCUIT AND METHOD OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A parallel bit test circuit and a method of semiconductor memory device are provided to test a memory cell without relation to the state of a package or wafer, and to enhance the reliability of the device. CONSTITUTION: The device comprises plural first comparison parts(1,3), the second comparison part and a switching part. The first comparison parts(1,3) compare the logic levels of data for two memory cells provided through a data I/O line. The second comparison part consists of exclusive OR gates(2,4) and inverters (5,6) and inverts one of the two data logic levels and compares them. The switching part outputs one of the output signals from the first/second comparison parts as a test comparison signal in response to the state of select signal applied through a pad(20).



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19960605)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (19990429)
Patent registration number (1002117610000)
Date of registration (19990506)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(12) 등록특허공보(B1)

(51) Int. Cl. 6
G11C 29/00

(45) 공고일자 1999년08월02일
(11) 공고번호 10-0211761
(24) 등록일자 1999년05월06일

(21) 출원번호	10-1996-0020054	(65) 공개번호	특1998-0005037
(22) 출원일자	1996년06월05일	(43) 공개일자	1998년03월30일
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416		
(72) 발명자	김정태 서울특별시 중구 황학동 855		
(74) 대리인	이건주		

심사관 : 이철희

(54) 반도체 메모리 장치의 병렬비트 테스트 회로 및 그 방법

요약

1. 청구 범위에 기재된 발명이 속한 기술분야

반도체 메모리 장치의 테스트.

2. 발명이 해결하려고 하는 기술적 과제

개선된 병렬비트 테스트 회로를 제공.

3. 발명의 해결방법의 요지

워드라인과 칼럼선택라인을 공유하고 각기 독립된 데이터 입출력 라인으로 저장된 데이터를 출력하는 다수의 메모리 셀을 가지는 메모리 셀 어레이를 복수로 구비한 반도체 메모리 장치의 개선된 병렬비트 테스트 회로는, 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 서로 비교하는 제1비교부와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 서로 비교하는 제2비교부와; 테스트용 패드를 통해 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부의 출력신호중 하나를 테스트 비교신호로서 출력하는 스위칭부를 구비함을 특징으로 한다.

4. 발명의 중요한 용도

반도체 메모리 장치의 테스트 회로로서 사용.

명세서

[발명의 명칭]

반도체 메모리 장치의 병렬비트 테스트 회로 및 그 방법

[도면의 간단한 설명]

제1도는 통상적인 반도체 메모리 장치에서 입출력라인과 메모리 셀 어레이간의 연결을 나타낸 회로도.

제2도는 종래기술의 대표적인 병렬비트 테스트 회로도.

제3,4도는 본 발명의 기본원리에 따른 실시예들을 나타낸 병렬비트 테스트의 회로도.

[발명의 상세한 설명]

일반적으로, 반도체 메모리 장치의 대용량화, 구집적화로 인하여 그에 따른 테스트시간은 증가되고 비용상승이 더욱 더 초래되는 실정이다. 반도체 메모리 장치의 테스트 시간, 비용절감을 위해 최근에는 병렬비트 테스트(Parallel Bit Test)의 중요성이 나날이 커지고 있는 추세이다.

병렬비트 테스트는 단일비트 테스트에 비해 테스트에 소요되는 시간을 단축할 수 있는 유리한 점이 있다. 예를들어, 메모리 셀의 전체갯수가 N (N 은 자연수), 데이터의 입출력 단자수가 m (m 은 자연수)이라면 단일비트 테스트시의 테스트 시간은 N/m 회의 리드 동작 및 라이트 동작에 소요되는 시간만큼이 된다. 그러나, 병렬비트 테스트에서는 m 개의 입출력 단자에 대해 동시에 n 개의 메모리 셀의 데이터를 라이트하거나 리드하므로 $N/(m \times n)$ 회의 리드 동작 및 라이트 동작에 소요되는 시간만큼이 테스트 시간으로 된다. 따라서, 병렬비트 테스트시에 걸리는 시간은 단일비트 테스트시의 시간보다 $1/n$ 에 해당되는 역세시간 만큼 단축된다.

종래에는 상기한 바와 같은 병렬비트 테스트를 제2도와 같은 테스트 회로로서 제1도에 도시된 반도체 메모리 장치등에 대하여 수행하여 왔다. 제1도에는 통상적인 반도체 메모리 장치에서 입출력라인과 메모리 셀 어레이간의 연결을 나타낸 회로도도 도시되어 있다. 제1도를 참조하면, 메모리 셀 어레이 10내의 다수의 메모리 셀들 C0,C1,C2,C3은 행과 열의 매트릭스 형태로 배열되며, 하나의 메모리 셀은 하나의 액세스 트랜지스터와 스토리지 캐패시터로 구성된다. 상기 메모리 셀을 구성하는 상기 액세스 트랜지스터의 게이트 단자는 워드라인 WL에 연결되며 그의 드레인 또는 소오스 단자는 비트라인에 연결된다. 상기 비트라인의 각각에는 칼럼 선택 트랜지스터들 N1-N4의 드레인 또는 소오스단자들이 대응되어 연결된다. 상기 칼럼 선택 트랜지스터들 N1-N4의 게이트 단자들은 칼럼선택 라인 CSL에 연결되어 칼럼선택 신호를 수신한다. 상기 칼럼 선택 트랜지스터들 N1-N4의 소오스 또는 드레인 단자들은 각기 입출력 라인들 I00-I03에 대응되어 연결된다.

상기한 제1도는 병렬비트 테스트의 동작이 보다 잘 이해되어지게 하기 위해 제공된 것으로서, 디램(DRAM)등과 같은 통상적인 휘발성 반도체 메모리 장치의 간략한 구조만을 도시한 것이다. 병렬비트 테스트시 상기 입출력 라인들 I00-I03은 테스트 회로의 입력측과 연결된다.

종래기술의 대표적인 병렬비트 테스트 회로도인 제2도를 참조하면, 테스트 회로는, 두 입력 데이터간의 논리레벨에 대한 동일유무를 각기 비교하는 배타적 부정 논리합 게이트들 EOR1, EOR2와, 상기 게이트들 EOR1, 2의 출력단들에 연결되어 앤드 응답을 출력 신호 DQ로서 제공하는 논리곱 게이트(앤드 게이트) AND를 구비한다. 상기 테스트 회로의 동작은 이하에서 설명된다. 반도체 메모리 장치내에 상기 제1도와 같은 메모리 셀 어레이 10가 다수가 존재하고 상기 메모리 셀 어레이 10내에 다수의 메모리 셀이 있을 경우, 병렬비트 테스트는 상기 다수의 어레이에 대하여 동시에 수행되어진다. 병렬비트 테스트 시, 배타적 부정 논리합 게이트 EOR1은 상기 입출력 라인들 I00,I01을 통하여 제공되는 상기 메모리 셀들 C0,C1의 데이터에 대한 논리 레벨을 두개의 입력단으로 수신하고 배타적 부정 논리합 응답을 출력한다. 여기서, 상기 메모리 셀들 C0,C1의 데이터에 대한 논리 레벨이 하이 및 하이 또는 로우 및 로우로서 수신되어 서로 동일하게 되면 그 응답은 하이 레벨로서 출력된다. 예를들어, 상기 메모리 셀들 C0,C1에 미리 저장된 데이터의 논리 레벨이 하이라고 가정하고 상기 메모리 셀에는 결함이 없다고 하면, 상기 게이트 EOR1의 응답출력은 하이인 것이다. 또한, 상기 메모리 셀들 C0,C1에 미리 저장된 데이터의 논리레벨이 로우라고 가정하고 상기 메모리 셀에는 결함이 없다고 하면, 상기 게이트 EOR1의 응답출력은 여전히 '하이인 것이다. 반대로, 상기 메모리 셀들 C0,C1에 미리 저장된 데이터의 논리레벨이 하이 또는 로우라고 가정하고 상기 메모리 셀중의 하나에는 결함이 존재한다고 하면, 서로 다른 레벨이 수신될 것이므로 상기 게이트 EOR1의 응답출력은 로우로서 출력될 것이다. 마찬가지로, 배타적 부정 논리합 게이트 EOR2는 상기 입출력 라인들 I02,I03을 통하여 제공되는 상기 메모리 셀들 C2,C3의 데이터에 대한 논리 레벨을 두개의 입력단으로 수신하고 배타적 부정 논리합 응답을 출력한다. 상기 게이트들 EOR1,2의 출력단들에 연결된 논리곱 게이트 AND는 상기 게이트들 EOR1,2의 출력을 수신하고 이에 대한 앤드 응답을 출력신호 DQ로서 제공한다. 따라서, 이 경우에 상기 논리곱 게이트 AND의 출력이 논리 레벨 하이이면 테스트는 성공적으로 수행된 것이라 판명된다.

그렇지만, 상기 제2도와 같은 종래의 테스트 회로는 다음과 같은 문제점을 가진다. 예를들어, 동일한 배타적 부정 논리합 게이트에 결함있는 메모리 셀들의 데이터가 동일한 논리 레벨로서 인가될 경우에 상기 게이트의 출력은 하이가 되므로 테스트의 결과는 정상인 것처럼 오판된다. 따라서, 상기 종래의 회로는 결함이 있는 노말 셀이 정상이라고 오판되어 이후의 공정으로 진행되는 등의 심각한 신뢰성의 문제점을 종종 야기한다.

따라서, 본 발명의 목적은 동일한 데이터를 저장하여 테스트 수행시 판정해 내지 못하였던 종래의 문제점을 해소하고 메모리 셀의 테스트를 패키지나 웨이퍼상태에 관계없이 할 수 있는 반도체 메모리 장치의 병렬비트 테스트 회로 및 그 방법을 제공함에 있다.

본 발명의 다른 목적은 신뢰성이 개선된 반도체 메모리 장치의 병렬비트 테스트 회로 및 그 방법을 제공함에 있다.

상기한 목적을 달성하기 위한 본 발명에 따라, 워드라인과 칼럼선택라인을 공유하고 각기 독립된 데이터 입출력 라인으로 저장된 데이터를 출력하는 다수의 메모리 셀을 가지는 메모리 셀 어레이를 복수로 구비한 반도체 메모리 장치의 병렬비트 테스트 회로는, 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 인접한 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 서로 비교하는 제1비교부와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 서로 비교하는 제2비교부와; 패드를 통해 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부의 출력신호중 하나를 테스트 비교신호로서 출력하는 스위칭부를 구비함을 특징으로 한다.

와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 각기 서로 비교하는 다수의 제2비교부와; 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부들의 출력신호들중 한 종류의 비교부들에 속한 출력신호들을 테스트 비교신호들로서 출력하는 다수의 스위칭부와; 상기 다수의 스위칭부들로부터 출력된 상기 테스트 비교신호들을 조합하여 최종적인 병렬비트 테스트 결과신호를 생성하는 판정부부를 구비할 수 있다.

이하에서는 본 발명의 바람직한 일 실시예에 따른 테스트 회로의 구조 및 그에 따른 테스트방법이 첨부된 도면과 함께 설명될 것이다. 첨부된 도면의 참조부호들중 동일한 참조부호는 가능한 동일 구성 및 기능을 가지는 소자를 가리킨다.

다음의 설명에서, 그러한 구성에 대한 상세한 항목들이 본 발명의 보다 철저한 이해를 제공하기 위해 자세하게 설명된다. 그러나, 당해 기술분야에 숙련된 자들에게 있어서는 본 발명이 이러한 상세한 항목들이 없이도 실시될 수 있다는 것이 명백할 것이다. 또한, 잘 알려진 반도체 기본 소자의 특징 및 기능들은 본 발명을 모호하지 않게 하기 위해 상세히 설명하지 않는다.

먼저, 본 발명의 기본적인 기술사상은 병렬비트 테스트의 신뢰성을 높이기 위해 동일한 데이터로만 테스트를 수행하던 종래의 기술과는 달리, 각기 다른 데이터로서도 테스트를 가능하게 하는 것이다. 이러한 테스트는 상기 반도체 메모리 장치가 웨이퍼상태인 경우에 패드를 이용하여 수행되며, 패키지 상태인 경우에는 어드레스를 이용하여 수행될 수 있는 부가적인 효과를 제공한다.

제3도를 참조하면, 웨이퍼상의 테스트를 위해, 각기 배타적 부정 논리합 게이트로서 이루어진 다수의 제1비교부 1,3는 데이터 입출력라인 100-4을 통해 각기 제공되는 상기 다수의 메모리 셀중 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 각기 서로 비교한다. 각기 배타적 부정 논리합 게이트 2,4 및 인버터 5,6로서 이루어진 다수의 제2비교부는 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 각기 서로 비교한다. 다수의 스위칭부는 패드 20를 통해 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부들의 출력신호들중 한 종류의 비교부들에 속한 출력신호들을 테스트 비교신호들로서 출력한다. 상기 다수의 스위칭부들로부터 출력된 상기 테스트 비교신호들을 조합하여 최종적인 병렬비트 테스트 결과신호를 생성하는 판정부는 논리곱 게이트 13로 구성된다.

상기 다수의 스위칭부는 각기 드레인 및 소오스단자끼리 서로 연결된 엔형 모오스 트랜지스터와 피형 모오스 트랜지스터로 이루어진 전송게이트 9,10,11,12를 기본적으로 구비하며, 상기 제1비교부들 1,3과 제2비교부들 2,4에 연결되는 스위칭부들의 피형 모오스 트랜지스터들과 엔형모오스 트랜지스터들의 게이트 단자들에는 인버터를 7,8이 접속된다.

유사하게, 제4도에는 본 발명의 기본원리에 따른 또 다른 실시예가 나타나 있다. 제4도의 병렬비트 테스트의 회로는 어드레스 패드 15,로우 어드레스 버퍼 17를 제외하고는 제3도의 구성부분과 같다. 제4도는 패키지 상태에서도 테스트 가능한 것임을 알 수 있다.

병렬비트 테스트 시, 상기 제1도의 메모리 셀들에는, 정상적인 경우라면 동일 논리레벨로서 리드될 데이터를 테스트의 준비과정으로서 미리 저장하거나, 정상적인 경우라면 서로 다른 논리레벨로서 리드될 데이터를 테스트의 준비과정으로서 미리 저장할 수 있다. 만약, 동일 논리레벨로서 리드될 데이터를 저장한 경우에, 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 두개의 메모리 셀들에 대한 데이터의 논리 레벨이 제1비교부들 1,3에 의해 1차적으로 서로 비교된다. 또한, 제2비교부의 게이트 2,4에 의해 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨이 반전된 레벨이 2차적으로 서로 비교된다. 이 경우에는 제3도의 테스트용 패드를 통해 인가되는 선택신호의 상태는 '하이가 됨이 바람직하다. 따라서, 상기 1,2차적으로 비교된 출력신호중 1차적으로 비교된 신호들만이 전송 게이트 9,11을 통해 테스트 비교신호로서 선택 출력된다. 앤드 게이트 13는 노말 셀이 결함이 없을 시 논리 하이를 출력한다. 그렇지만, 이 경우에는 종래와 같은 오판이 될 수 있으므로 완전한 테스트는 아니다.

테스트의 신뢰를 개선하기 위하여, 서로 다른 논리레벨로서 리드될 데이터를 저장한 경우에, 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 두개의 메모리 셀들에 대한 데이터의 논리 레벨이 제1비교부들 1,3에 의해 1차적으로 서로 비교된다. 또한, 제2비교부의 게이트 2,4에 의해 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨이 반전된 레벨이 2차적으로 서로 비교된다. 이 경우에는 제3도의 테스트용 패드를 통해 인가되는 선택신호의 상태는 로우가 됨이 바람직하다. 왜냐하면, 제2비교부의 출력을 통해 판정을 행하는 시점이기 때문이다. 따라서, 상기 1,2차적으로 비교된 출력신호중 2차적으로 비교된 신호들만이 전송 게이트 10,12을 통해 테스트 비교신호로서 선택 출력된다. 앤드 게이트 13는 노말 셀이 결함이 없을 시 논리 하이를 출력한다. 따라서, 종래와 같은 오판이 정확히 세부적으로 판정될 수 있으므로 보다 완전한 테스트가 된다.

제4도에서는, 상기 반도체 메모리 장치가 패키지상태로 있을 때 상기 선택신호는 특정한 어드레스 패드를 통해 제공되어 어드레스 버퍼에서 인가된다.

따라서, 본 발명에서는 동일한 데이터를 저장하여 테스트수행시 판정해내지 못하는 셀의 테스트를 패키지나 웨이퍼상태에 관계없이 할 수 있는 효과가 있다.

상기한 본 발명의 실시예는 도면을 중심으로 예를들어 설명되고 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다. 예를들어, 사안이 허용하는 한

상기 제3.4도의 로직의 구조는 변경 또는 변화시킬 수 있음이 명백한 것이다

(57)청구의 범위

청구항1

워드라인과 칼럼선택라인을 공유하고 각기 독립된 데이터 입출력 라인으로 저장된 데이터를 출력하는 다수의 메모리 셀을 가지는 메모리 셀 어레이를 복수로 구비한 반도체 메모리 장치의 병렬비트 테스트 회로에 있어서: 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 서로 인접한 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 서로 비교하는 제1비교부와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 서로 비교하는 제2비교부와; 패드를 통해 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부의 출력신호중 하나를 테스트 비교신호로서 출력하는 스위칭부를 구비함을 특징으로 하는 회로.

청구항2

워드라인과 칼럼선택라인을 공유하고 각기 독립된 데이터 입출력 라인으로 저장된 데이터를 출력하는 다수의 메모리 셀을 가지는 메모리 셀 어레이를 복수로 구비한 반도체 메모리 장치의 병렬비트 테스트 회로에 있어서: 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 서로 인접한 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 각기 서로 비교하는 다수의 제1비교부와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 각기 서로 비교하는 다수의 제2비교부와; 인가되는 선택신호의 상태에 응답하여 상기 제1,2비교부들의 출력신호들중 한 종류의 비교부들에 속한 출력신호들을 테스트 비교신호들로서 출력하는 다수의 스위칭부와; 상기 다수의 스위칭부들로부터 출력된 상기 테스트 비교신호들을 조합하여 최종적인 병렬비트 테스트 결과신호를 생성하는 판정부를 구비함을 특징으로 하는 회로.

청구항3

제2항에 있어서, 상기 선택신호는 상기 반도체 메모리 장치가 웨이퍼상태로 있을 때 패드를 통해 인가됨을 특징으로 하는 회로.

청구항4

제2항에 있어서, 상기 선택신호는 상기 반도체 메모리 장치가 패키지상태로 있을 때 특정한 어드레스 패드를 통해 제공되어 어드레스 버퍼에서 인가됨을 특징으로 하는 회로.

청구항5

제2항에 있어서, 상기 다수의 제1비교부는 각기 배타적 부정 논리합 게이트로 구성됨을 특징으로 하는 회로.

청구항6

제2항에 있어서, 상기 다수의 제2비교부는 각기 배타적 부정 논리합 게이트 및 상기 배타적 부정 논리합 게이트의 일측입력단에 출력단이 연결된 인버터로 구성됨을 특징으로 하는 회로.

청구항7

제2항에 있어서, 상기 다수의 스위칭부는, 각기 드레인 및 소오스 단자끼리 서로 연결된 엔형 모오스 트랜지스터와 피형 모오스 트랜지스터로 이루어진 전송게이트를 기본적으로 구비하며, 상기 제1비교부들에 연결되는 스위칭부들의 피형 모오스 트랜지스터들의 게이트 단자들과 상기 제2비교부들에 연결되는 스위칭부들의 엔형모오스 트랜지스터들의 게이트 단자들에만 출력단이 연결된 인버터들을 구비함을 특징으로 하는 회로.

청구항8

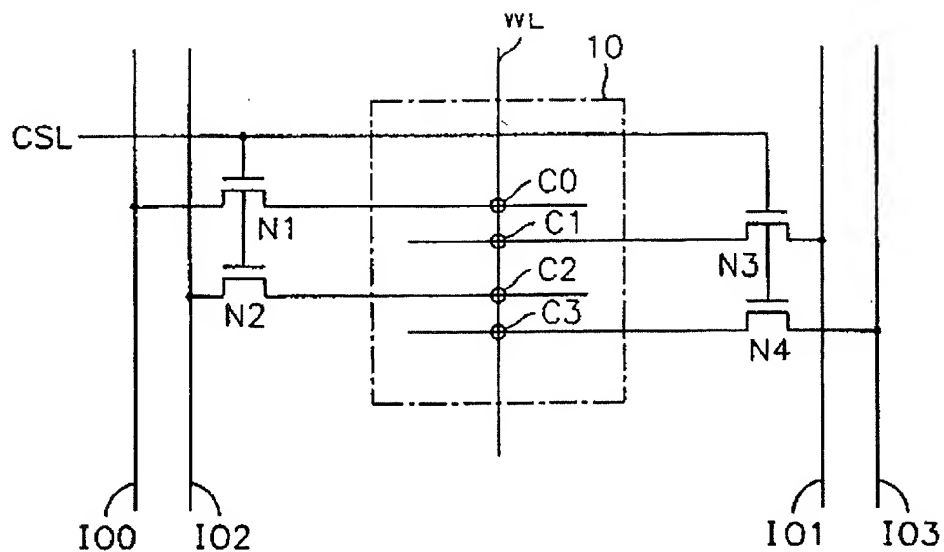
제2항에 있어서, 상기 판정부는 논리곱 응답출력을 발생하는 게이트로 구성됨을 특징으로 하는 회로.

청구항9

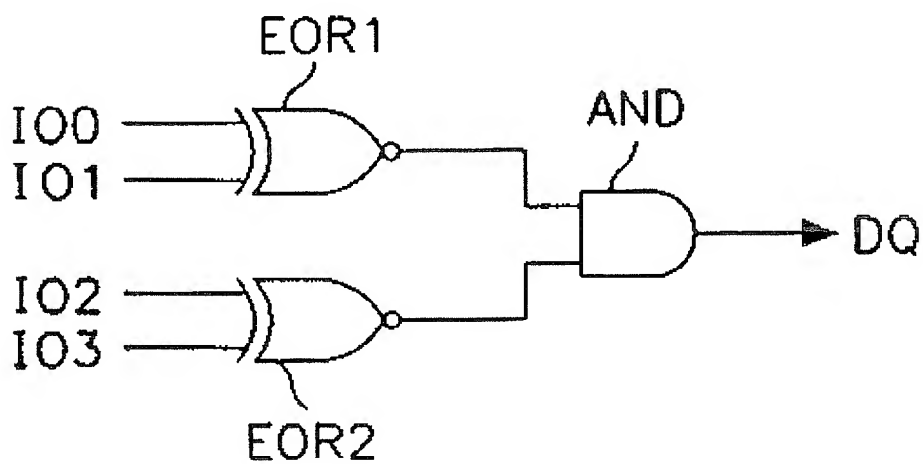
워드라인과 칼럼선택라인을 공유하고 각기 독립된 데이터 입출력 라인으로 저장된 데이터를 출력하는 다수의 메모리 셀을 가지는 메모리 셀 어레이를 복수로 구비한 반도체 메모리 장치의 병렬비트 테스트 방법에 있어서: 상기 메모리 셀들에, 정상적인 경우라면 동일 논리레벨로서 리드될 데이터를 테스트의 준비과정으로서 미리 저장하는 단계와; 테스트 모드에서, 상기 데이터 입출력라인을 통해 각기 제공되는 상기 다수의 메모리 셀중 인접한 두개의 메모리 셀들에 대한 데이터의 논리 레벨을 1차적으로 서로 비교하는 단계와; 상기 두개의 메모리 셀들에 대한 데이터의 논리 레벨중 하나의 논리레벨을 반전시킨 후 2차적으로 서로 비교하는 단계와; 패드를 통해 인가되는 선택신호의 상태에 따라 상기 1,2차적으로 비교된 출력신호중 하나를 테스트 비교신호로서 선택하여 출력하는 단계를 가짐을 특징으로 하는 방법.

도면

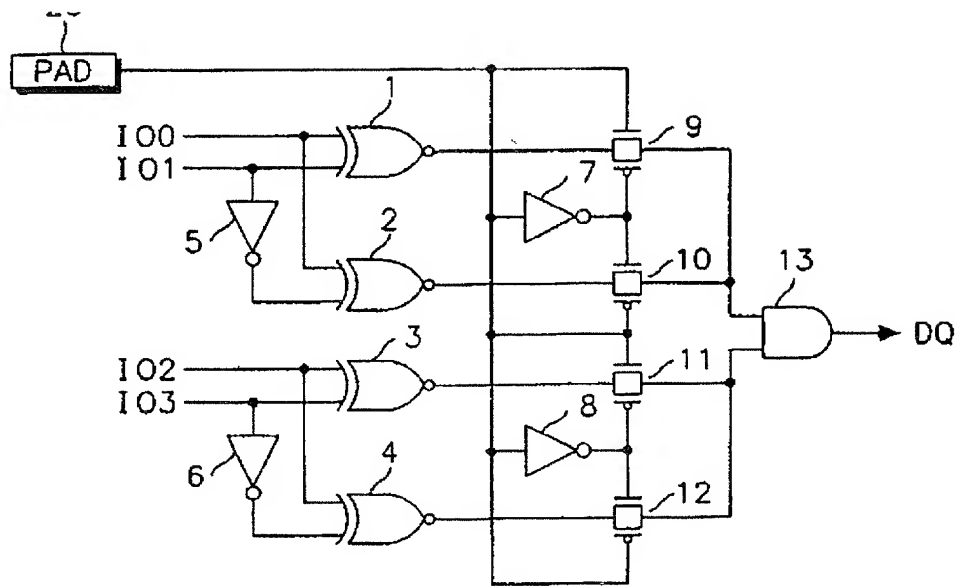
도면1



도면2



도면3



도면4

